

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC927 U.S. PTO  
10/026532



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月28日

出 願 番 号

Application Number:

特願2000-399886

出 願 人

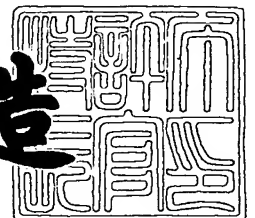
Applicant(s):

エヌイーシーマイクロシステム株式会社

2001年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3091098

【書類名】 特許願

【整理番号】 01211318

【提出日】 平成12年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28  
G06F 11/22

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本  
電気アイシーマイコンシステム株式会社内

【氏名】 永峯 良一郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本  
電気アイシーマイコンシステム株式会社内

【氏名】 牧田 泰光

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002294

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理集積回路のテスト回路およびその方法

【特許請求の範囲】

【請求項 1】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト回路において、前記スキャンパスは、スキャン専用入力端子を前記出力端子側に配置される最後段フリップフロップ群における最先頭フリップフロップの入力端子に接続し、前記最後段フリップフロップ群における最後尾フリップフロップの出力端子から内部のフリップフロップを順次接続して前記入力端子側に配置される最前段フリップフロップ群における最先頭フリップフロップの入力端子に接続し最後に前記最前段フリップフロップ群における最後尾フリップフロップの出力端子をスキャン専用出力端子に接続することを特徴とする論理集積回路のテスト回路。

【請求項 2】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト回路において、前記スキャンパスは、スキャン専用入力端子を前記出力端子側に配置される最後段フリップフロップ群における最先頭フリップフロップの入力端子に接続することを特徴とする論理集積回路のテスト回路。

【請求項 3】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト回路において、前記スキャンパスは、スキャン専用出力端子を前記入力端子側に配置される最前段フリップフロップ群における最後尾フリップフロップの出力端子に接続することを特徴とする論理集積回路のテスト回路。

【請求項 4】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト方法において、スキャン専用

入力端子を前記出力端子側に配置される最後段フリップフロップ群における最先頭フリップフロップの入力端子に接続し、前記最後段フリップフロップ群における最後尾フリップフロップの出力端子から内部のフリップフロップを順次接続して前記入力端子側に配置される最前段フリップフロップ群における最先頭フリップフロップの入力端子に接続し最後に前記最前段フリップフロップ群における最後尾フリップフロップの出力端子をスキャン専用出力端子に接続するスキャンパスを備え、クロック信号を入力すると共に複数の前記入力端子それぞれに所定のデータを入力して前記スキャン専用出力端子の出力を得ることにより前記入力端子の交流特性を測定する一方、クロック信号を入力すると共に前記スキャン専用入力端子から所定のデータを入力して複数の出力端子それぞれからの出力を得ることにより出力端子の交流特性を測定することを特徴とする論理集積回路のテスト方法。

【請求項5】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト方法において、スキャン専用出力端子を前記最前段のフリップフロップ群における最後尾フリップフロップの出力端子に接続し、クロック信号を入力すると共に複数の入力端子それぞれに所定のデータを入力して前記スキャン専用出力端子の出力を得ることにより前記入力端子の交流特性を測定することを特徴とする論理集積回路のテスト方法。

【請求項6】 対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト方法において、スキャン専用入力端子を前記最後段のフリップフロップ群における最先頭フリップフロップの入力端子に接続し、クロック信号を入力すると共に前記スキャン専用入力端子から所定のデータを入力して複数の出力端子それぞれからの出力を得ることにより出力端子の交流特性を測定することを特徴とする論理集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いる、いわゆるスキャンパス手法で交流（AC）特性を測定する論理集積回路のテスト回路およびその方法に関し、特に、複数の入出力端子の交流特性（以後、AC特性と呼称する）を測定する際のテストタイムの削減を図ることができる論理集積回路のテスト回路およびその方法に関する。

## 【0002】

## 【従来の技術】

スキャンパス手法とは、大規模化の一途を辿る集積回路のテストパターン生成プロセスを容易化するためのテスト容易化設計（DFT）手法の一つで、集積回路中のフリップ・フロップをスキャンのためのスキャン型フリップフロップに置き換えて制御・観測可能にするものである。スキャンパス手法を用いることによって順序回路を組合せ回路として扱えるようになるため、ATPG（Automatic Test Pattern Generator）をスキャンパス手法と組み合わせて使用することにより、従来人手で作成していたテストパターンを自動で作成でき、大幅なテストパターン作成期間の短縮が可能となる。

## 【0003】

ATPGでは、例えば、任意のフリップフロップ間などのように、所望の状態にデータ値を設定したい箇所のみを対象としたテストパターンを作成することが可能である。これを利用して外部端子とフリップフロップ間とを対象としたテストパターンを作成し、LSI（大規模集積回路）テスト上で集積回路の出力波形の遷移時間、セットアップ時間、ホールド時間などのAC特性を測定している。

## 【0004】

スキャンパス手法の発達によって、スキャンパスを使用してAC特性測定用のテストパターンを生成することが可能となった。これによって、従来の機能検証用パターンでのAC特性測定方法と比較するとテストパターン数は短くなり、テストタイムを短縮することができた。しかし、デバイスのコスト低減のためには更なるテストタイム短縮が要求されているのが現状である。

## 【0005】

スキャンパスを使用したテストパタンの場合、テストパタンの大部分は、シフトレジスタ構成であるスキャンパス上を信号が順次移行している状態である。これは通常モードでデータ捕捉した値を、スキャンシフトモードでスキャンパス上を順次移行させて外部出力端子へ伝搬させるためであるが、大規模な集積回路ではスキャンパスが長いためにこのスキャンシフト状態が長くなり、テストパターン数増およびテストタイム増を招くこととなる。

## 【 0 0 0 6 】

例えば、図 4 に示されるように、最前段となる入力端子側の  $m$  個のフリップフロップ（以後、FF と略称する） $4\ 1\ 1$ 、 $4\ 2\ 1$ 、 $\sim 4\ m\ 1$  から最後段となる出力端子側の  $m$  個の  $FF\ 4\ 1\ n$ 、 $4\ 2\ n$ 、 $\sim 4\ m\ n$  まで  $n$  段のフリップフロップが設けられている。

## 【 0 0 0 7 】

従来の論理集積回路のテスト回路では、図 4 で示されるように、スキャンパスは、スキャン専用の入力端子  $S\ I\ N$  を最前段に位置するフリップフロップ群における先頭フリップフロップの  $FF\ 4\ 1\ 1$  の入力端子に接続し、以降、後尾の  $FF\ 4\ m\ 1$  までのフリップフロップをシリアル接続している。次いで、スキャンパスは、次の段に位置するフリップフロップ群における  $FF\ 4\ 1\ 2$  から  $FF\ 4\ m\ 2$  までをシリアル接続し、順次、各段のフリップフロップをシリアル接続して最後段の最後尾に位置する  $FF\ 4\ m\ n$  の出力端子  $Q$  をスキャン専用の出力端子  $S\ O\ T$  に接続して形成される。

## 【 0 0 0 8 】

この状態のスキャンパスを例として入力端子の AC 特性測定用パターンを生成する場合を考える。フリップフロップに取り込まれた信号をスキャンパス上で順次移行させてスキャン専用出力端子  $S\ O\ T$  に伝搬させるので、スキャンパス上で最前段、最先頭にある  $FF\ 4\ 1\ 1$  が入力端子  $I\ N\ 1$  からの信号を取り込む場合、スキャンパス上に、例えば  $(m \times n =) 50, 000$  個のフリップフロップがあるとすると、入力端子から取り込んだ信号をスキャン専用の出力端子  $S\ O\ T$  まで伝搬させるには  $50, 000$  回のスキャンシフトを行わなければならない。

## 【 0 0 0 9 】

他方、出力端子OT1～OTmのAC特性測定用パターンを生成する場合には、スキャン専用の出力端子SOTに信号を送り出すため、上述同様、スキャンパス上で最後段、最後尾にあるFF4mnまで50,000個のフリップフロップがあるので、50,000回のスキャンシフトが必要となる。

## 【0010】

フリップフロップのスキャンパス上での接続順番は、スキャンパス構築ツールによって図4に示されるようなフリップフロップのインスタンス名の順に接続されるのが一般的である。このため、前述のように場合によっては多くのスキャンシフトが必要となり、テストパターン数増およびテスト時間増を招いてしまうという問題点が生じる。

## 【0011】

このように、大規模集積回路において、テストパターの発生にかかる時間が増大し、またボードレベルでのテスト時間が増大するという問題点を解決することを目的とするとして、例えば、特許第309204号公報に開示された集積回路およびそのテスト方法がある。

## 【0012】

この回路によれば、図5に示されるように、スキャンパスがスキャン専用の入力端子SINを最前段に位置する先頭フリップフロップのFF511の入力端子に接続し、以降、後尾のFF5m1までのフリップフロップをシリアル接続することは図4を参照した説明と同一である。しかし、最前段、最後尾のFF5m1の出力端子は、最後段、最先頭に位置するFF51nの入力端子に接続し、以降最後段、最後尾に位置するFF5mnの出力端子がセクタ501の一方の入力端子に接続する。

## 【0013】

内部のフリップフロップは、最後段の最後尾に位置するFF5mnの出力端子Qから順次シリアル接続されてセクタ501の他方の入力端子に接続される。図4にはないセクタ501は、入出力端子に対応するフリップフロップのみにより形成されるスキャンパスと集積回路内部のフリップフロップ全てにより形成されるスキャンパスとのいずれかを選択して、スキャン専用の出力端子SOTに



接続している。従って、入出力端子それぞれのテスト時間は、入出力端子に対応するフリップフロップのみにより形成されるスキャンパスのスキャンシフト数のみに限定される。

【 0 0 1 4 】

【発明が解決しようとする課題】

上述した特許公報により開示された従来の論理集積回路のテスト回路では、なお、テストタイムの削減を図る余地があるという問題点がある。

【 0 0 1 5 】

すなわち、入力端子  $IN_x$  からテストパターンを入力した場合、出力端子側のシリアル接続されたフリップフロップまでをスキャンシフトしなければスキャン専用出力端子にデータが送出されないからである。

【 0 0 1 6 】

本発明の課題は、このような問題点を解決し、入出力端子の AC 特性を測定する際のテストタイムの更なる削減を図ることができる論理集積回路のテスト回路およびその方法を提供することである。

【 0 0 1 7 】

【課題を解決するための手段】

本発明による論理集積回路のテスト回路は、対象とする複数の論理回路それぞれに対してスキャン型フリップフロップを設け入力端子側から出力端子側にシリアル接続したスキャンパスを用いて交流特性を測定する論理集積回路のテスト回路であって、一つのスキャンパスは、スキャン専用入力端子を前記出力端子側に配置される最後段フリップフロップ群における最先頭フリップフロップの入力端子に接続することを特徴としている。また、別のスキャンパスは、スキャン専用出力端子を前記入力端子側に配置される最前段フリップフロップ群における最後尾フリップフロップの出力端子に接続することを特徴としている。

【 0 0 1 8 】

更に、上記二つのスキャンパスを一つに形成して備える構成であってもよい。この場合、前記スキャンパスは、スキャン専用入力端子を前記出力端子側に配置される最後段フリップフロップ群における最先頭フリップフロップの入力端子に

接続し、前記最後段フリップフロップ群における最後尾フリップフロップの出力端子から内部のフリップフロップを順次接続して前記入力端子側に配置される最前段フリップフロップ群における最先頭フリップフロップの入力端子に接続し最後に前記最前段フリップフロップ群における最後尾フリップフロップの出力端子をスキャン専用出力端子に接続している。

## 【 0 0 1 9 】

このような構成により、入力端子からの入力データを入力端子側フリップフロップのみのスキャンシフトによりスキャン専用の出力端子から取出すことができる一方、スキャン専用の入力端子から入力したテストデータを出力端子側フリップフロップのみのスキャンシフトにより各出力端子から取出すことができる。

## 【 0 0 2 0 】

また、本発明による論理集積回路のテスト方法は、上記テスト回路におけるスキャンパスを用い、クロック信号を入力すると共に複数の入力端子それぞれに所定のデータを入力して前記スキャン専用出力端子の出力を得ることにより前記入力端子の交流特性を測定すること、およびクロック信号を入力すると共に前記スキャン専用入力端子から所定のデータを入力して複数の出力端子それぞれからの出力を得ることにより出力端子の交流特性を測定することである。

## 【 0 0 2 1 】

## 【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

## 【 0 0 2 2 】

図 1 は本発明の実施の一形態を示す機能ブロック図である。図 1 に示された論理集積回路のテスト回路 1 0 0 では、入力端子  $IN_1$ 、 $IN_2$ 、 $\sim IN_i$ 、 $IN_j$ 、クロック入力端子  $CLK$ 、出力端子  $OT_1$ 、 $OT_2$ 、 $\sim OT_m$ 、スキャン専用入力端子  $SIN$ 、スキャン専用出力端子  $SOT$ 、およびスキャン専用イネーブル端子  $SE$  を有している。また、スキャン型フリップフロップは、最前段のフリップフロップ群となる入力端子側の  $m$  個のフリップフロップ（以後、 $FF$  と略称する） $111$ 、 $121$ 、 $\sim 1m1$  から最後段のフリップフロップ群となる出力端子側の  $m$  個の  $FF11n$ 、 $12n$ 、 $\sim 1mn$  まで、 $n$  段のフリップフロップ群が

設けられているものとする。

【 0 0 2 3 】

それぞれのスキャン型 F F は二つの入力端子の一方にスキャンパス、他方に論理回路の出力それぞれを接続し、スキャン専用イネーブル端子 S E の制御により何れか一方を選択して F F に取り込む。F F の出力端子 Q は、一方で後段のフリップフロップ群に接続する論理回路と接続し、他方でスキャンパスを形成するリンクで次に位置する F F の入力端子に接続している。

【 0 0 2 4 】

また、入力端子側の F F 1 1 1 は論理回路を介して入力端子 I N 1, I N 2 から入力されたデータを取り込み、F F 1 2 1 は入力端子 I N 2, I N 3、また更に F F 1 m 1 は入力端子 I N i, I N j、それぞれから入力されたデータを取り込むものとする。出力側の F F 1 1 n は出力端子 O T 1、F F 1 2 n は出力端子 O T 2、また F F 1 m n は出力端子 O T m、それぞれへデータを送出するものとする。

【 0 0 2 5 】

最前段から最後段までの各フリップフロップ群内のスキャンパスは、最先頭 F F 1 1 x から最後尾 F F 1 m x までを順次シリアル接続しているものとする。

【 0 0 2 6 】

図 1 に示されるスキャンパスは、スキャン専用入力端子 S I N を出力端子側にある最後段の先頭 F F 1 1 n の入力端子に接続し、各フリップフロップ群では、最後段に次いで入力端子側の第 2 段目から第 ( n - 1 ) 段目 ( 図示省略 ) までを順次シリアル接続する。更に、第 ( n - 1 ) 段目のフリップフロップ群にある最後尾の F F 1 m ( n - 1 ) は入力端子側の最前段フリップフロップ群とシリアル接続され、最前段フリップフロップ群に含まれる最後尾の F F 1 m 1 の出力端子 Q がスキャン専用出力端子 S O T と接続している。

【 0 0 2 7 】

次に、図 1 におけるテスト方法について図面を参照して説明する。

【 0 0 2 8 】

まず、入力端子 I N 1 が「 0 」から「 1 」にデータの変化がある際の A C 特性

を測定するテストパターンを生成する場合であり、入力端子 IN 2 がデータ「1」であるとする。従って、入力端子 IN 1，入力端子 IN 2 がデータ「0，1」および入力端子 IN 1，入力端子 IN 2 がデータ「1，1」それぞれの際に FF 1 1 1 にデータ「0，1」が取り込まれるものとする。

## 【0029】

従って、初めに、入力端子 IN 1，入力端子 IN 2 がデータ「0，1」を入力した際には、FF 1 1 1 にはデータ「0」が取り込まれる。テスト回路 1 では FF 1 1 1 ~ 1 m 1 のフリップフロップ群がスキャンパス上の最後段に配置接続されているため、FF 1 1 1 に取り込まれたデータ「0」は、以降のシフトレジスタ構成のスキャンパス上を FF 1 2 1 から FF 1 m 1 まで順次移行させるだけでスキャン専用出力端子 S O T から送出され、観測される。

## 【0030】

次に、入力端子 IN 1，入力端子 IN 2 がデータ「1，1」を入力し、同様にして FF 1 1 1 に取り込まれたデータ「1」をスキャン専用出力端子 S O T において観測することができる。

## 【0031】

このようにして生成されたテストパターンにより、L S I テスタ上で入力端子 IN 1 が「0」から「1」に変化するデータを入力する時間を前後に変化させ、入力した値が正しくフリップフロップに取り込まれるか否かの結果に基づいてデータ信号とクロック信号との遅延時間の関係を判定し、これによって入力端子 IN 1 の A C 特性を把握することができる。

## 【0032】

他方、出力端子 O T m が「0」から「1」にデータを変化する際の A C 特性を測定するテストパターンを生成する場合には、FF 1 m n に設定されるデータ値が「0」から「1」に変化すればよいので、初めにスキャン専用入力端子 S I N からデータ「0」を入力する。この場合、FF 1 1 n にはデータ「0」が取り込まれる。テスト回路 1 では FF 1 1 n から FF 1 m n までがスキャンパス上に配置接続されているため、スキャン専用入力端子 S I N から入力されたデータ「0」はシリアルにシフトレジスタ構成されるスキャンパス上の FF 1 2 n ~ FF 1 m

nと順次移行させるだけでFF 1 m nにデータ「0」を設定できる。こうしてFF 1 m nに設定されたデータ「0」を出力端子OT mにて観測する。

#### 【0033】

次にスキャン専用入力端子S I Nからデータ「1」を入力し、同様にしてスキャンパス上を順次移行させることにより、FF 1 1 nに設定されたデータ「1」を出力端子OT mで観測できる。このようにして生成されたテストパターンにより出力端子OT mのAC特性を把握することができる。

#### 【0034】

上記説明では、テスト回路内のFFを入力端子側から出力端子側に対してn段のシリアル接続されるフリップフロップ群を設け、各フリップフロップ群にはm個のFFがシリアル接続されてスキャンパスを構成するとしたが、各フリップフロップ群が有するFFの数は限定されず、何個でもよい。また、フリップフロップ群も、入力端子側および出力端子側それぞれに設ける以外は限定されず、内部でシリアル接続されるFFについては構成される論理回路およびその組合せに従って備えられるものであり、本発明は上記説明により限定されるものではない。

#### 【0035】

#### 【実施例】

次に、上記図1とは異なる実施の形態について図2を参照して説明する。

#### 【0036】

図2に示されるテスト回路200は、入出力端子IN x, OT xおよびフリップフロップFF 2 m nの配置は上記図1と同様であり、その説明は省略する。上記図1と異なる点はスキャンパスの経路のみである。

#### 【0037】

すなわち、図2に示されるスキャンパスでは、スキャン専用入力端子S I Nが入力端子側の第2段目に配置されるフリップフロップ群の先頭FF 2 1 2に接続し、出力端子側で最後段の最後尾FF 2 m nの出力端子Qが入力端子側のフリップフロップ群の先頭FF 2 1 1に接続している。従って、図4において、入力端子側である最前段のフリップフロップ群をスキャン専用出力端子S O Tに接続したスキャンパスが形成されている点が相違している。

## 【 0 0 3 8 】

上記図 1 を参照して説明したと同様に、テスト回路 2 において、入力端子 IN 1 の AC 特性を測定するテストパターンを生成する場合、入力端子 IN 1 ・ IN 2 にデータ信号、またクロック入力端子 CLK からクロック信号それぞれを入力し、FF 2 1 1 が入力端子 IN 1 ・ IN 2 から入力されたデータ信号を取り込む。こうして FF 2 1 1 に取り込まれたデータ信号は、スキャンパス手法を用いることによって、以降に配置される FF 2 2 1 ~ FF 2 m 1 をシリアル接続するスキャンパス上を順次移行させるだけでスキャン専用出力端子 SOT から送出され、観測される。

## 【 0 0 3 9 】

このようにして生成されたテストパターンにより、LSI テスタ上で入力端子 IN 1 からデータ信号を入力する時間を前後に変化させ、入力したデータ信号が正しくフリップフロップに取り込まれるか否かの結果に基づいてデータ信号とクロック信号との遅延時間の関係を判定し、これによって入力端子 IN 1 の AC 特性を把握するようにしている。

## 【 0 0 4 0 】

次に、上記図 1 および図 2 とは異なる実施の形態について図 3 を参照して説明する。

## 【 0 0 4 1 】

図 3 に示されるテスト回路 3 0 0 は、入出力端子 IN x, OT x およびフリップフロップ FF 2 m n の配置は上記図 1 と同様であり、その説明は省略する。上記図 1 と異なる点はスキャンパスの経路のみである。

## 【 0 0 4 2 】

すなわち、図 3 に示されるスキャンパスでは、スキャン専用出力端子 SOT が出力端子側の直前第 2 段目に配置されるフリップフロップ群の最後尾 FF 3 m ( n - 1 ) ( 図示省略 ) の出力端子 Q に接続し、入力端子側で最前段の最後尾 FF 3 m 1 の出力端子 Q が次の第 2 段目に配置されるフリップフロップ群の先頭 FF 3 1 2 の入力端子に接続している。従って、図 4 において、出力端子側である最後段のフリップフロップ群をスキャン専用入力端子 SIN に接続したスキャンパ

スが形成されている点が相違している。

【 0 0 4 3 】

上記図 1 を参照して説明したと同様に、テスト回路 3 において、出力端子 O T m がデータ変化する際の A C 特性を測定するテストパターンを生成する場合には、F F 3 m n に設定されるデータ値が変化すればよいので、初めにスキャン専用入力端子 S I N からデータを入力する。この場合、F F 3 1 n にはデータが取り込まれる。テスト回路 3 では F F 3 1 n から F F 3 m n までがスキャンパス上に配置接続されているため、スキャン専用入力端子 S I N から入力されたデータはシリアルにシフトレジスタ構成されるスキャンパス上の F F 3 2 n ~ F F 3 m n と順次移行させるだけで F F 3 m n にデータを設定できる。こうして F F 3 m n に設定されたデータを出力端子 O T m にて観測している。

【 0 0 4 4 】

次にスキャン専用入力端子 S I N から別のデータを入力し、同様にして F F 3 1 n に設定されたデータを出力端子 O T m で観測できる。このようにして生成されたテストパターンにより出力端子 O T m の A C 特性を把握することができる。

【 0 0 4 5 】

【発明の効果】

以上説明したように本発明によれば、入力端子および出力端子それぞれの A C 特性を最短時間で測定することができるという効果が得られる。

【 0 0 4 6 】

その理由は、入力端子を入力端子側のフリップフロップ群のみのスキャンパスを介してスキャン専用出力端子、また出力端子を出力端子側のフリップフロップ群のみのスキャンパスを介してスキャン専用入力端子それぞれに接続しているの  
で、上記公報で開示された、入力端子側および出力端子側両者のフリップフロップ群をシリアル接続したスキャンパスより分割した分だけ完全に少ないスキャンシフト数でテストできるからである。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態を示す機能ブロック図である。

【図 2】

図 1 の一部分による本発明の実施の一形態を示す機能ブロック図である。

【図 3】

図 2 とは別の図 1 の一部分による本発明の実施の一形態を示す機能ブロック図である。

【図 4】

従来の一例を示す機能ブロック図である。

【図 5】

図 4 と異なる従来の一例を示す機能ブロック図である。

【符号の説明】

1 0 0、2 0 0、3 0 0      テスト回路

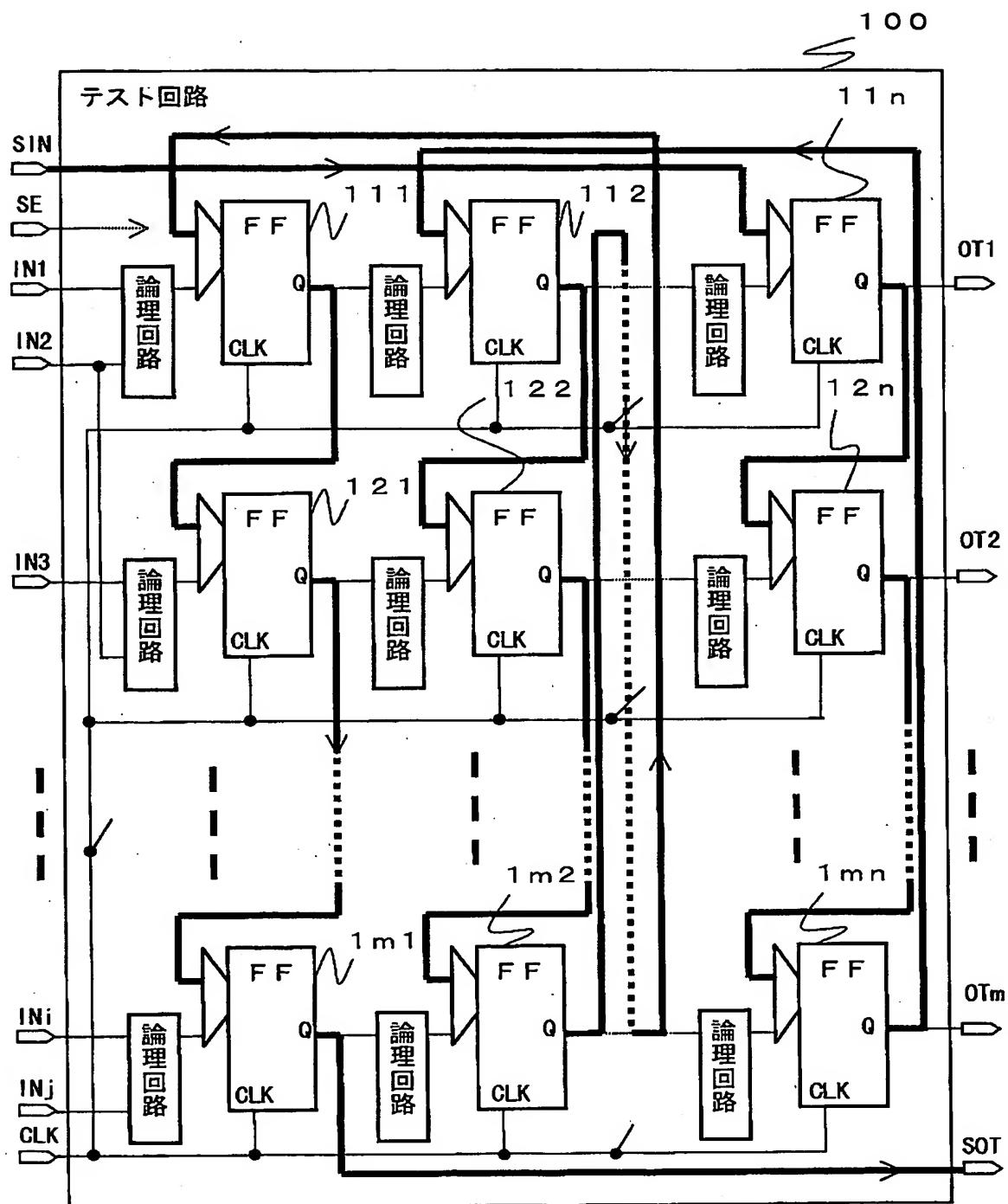
1 1 1、1 1 2、1 1 n、1 2 1、1 2 2、1 2 n、1 m 1、1 m 2、1 m n  
、2 1 1、2 1 2、2 1 n、2 2 1、2 2 2、2 2 n、2 m 1、2 m 2、2 m n  
、3 1 1、3 1 2、3 1 n、3 2 1、3 2 2、3 2 n、3 m 1、3 m 2、3 m n

FF (フリップフロップ)

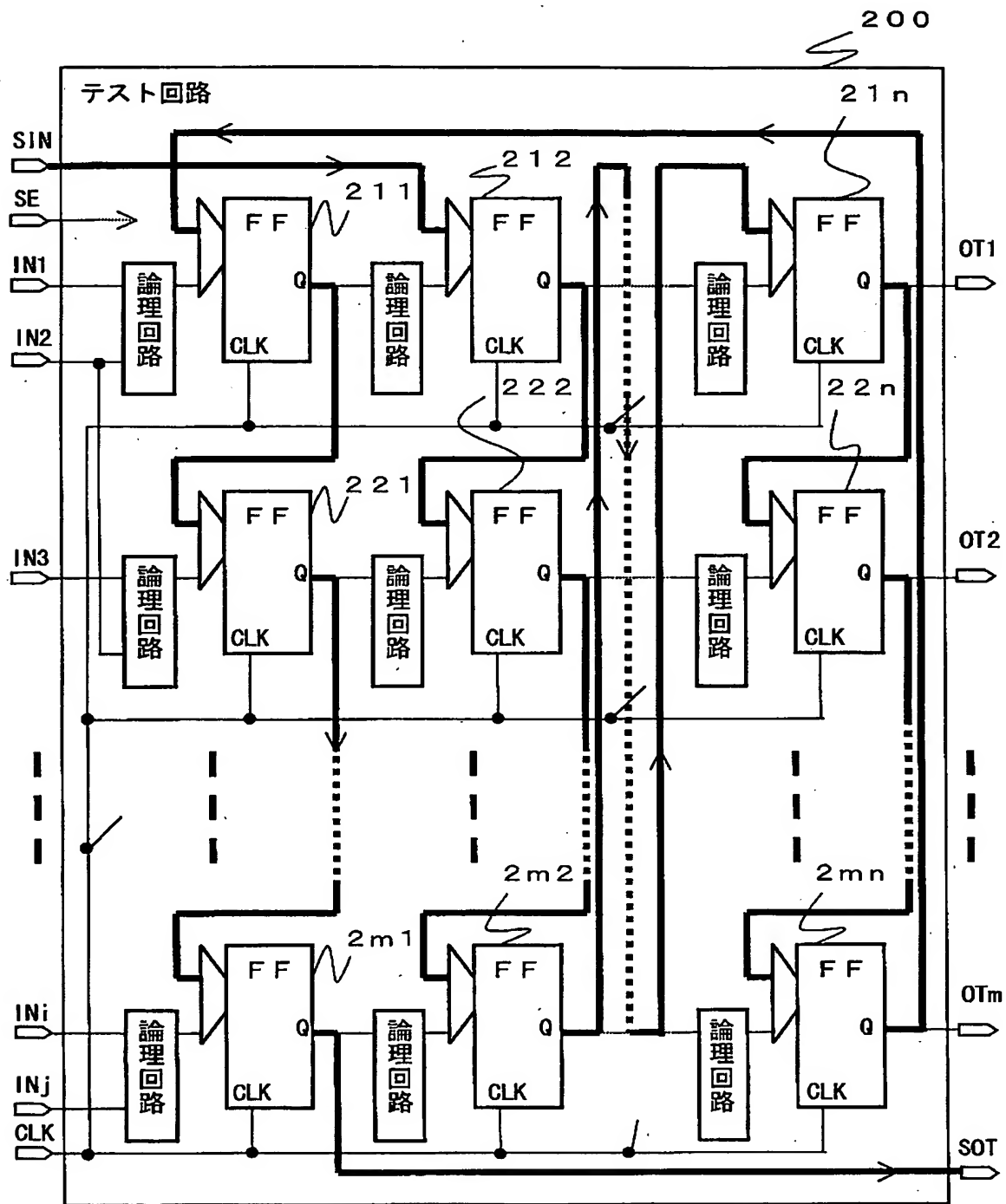


【書類名】 図面

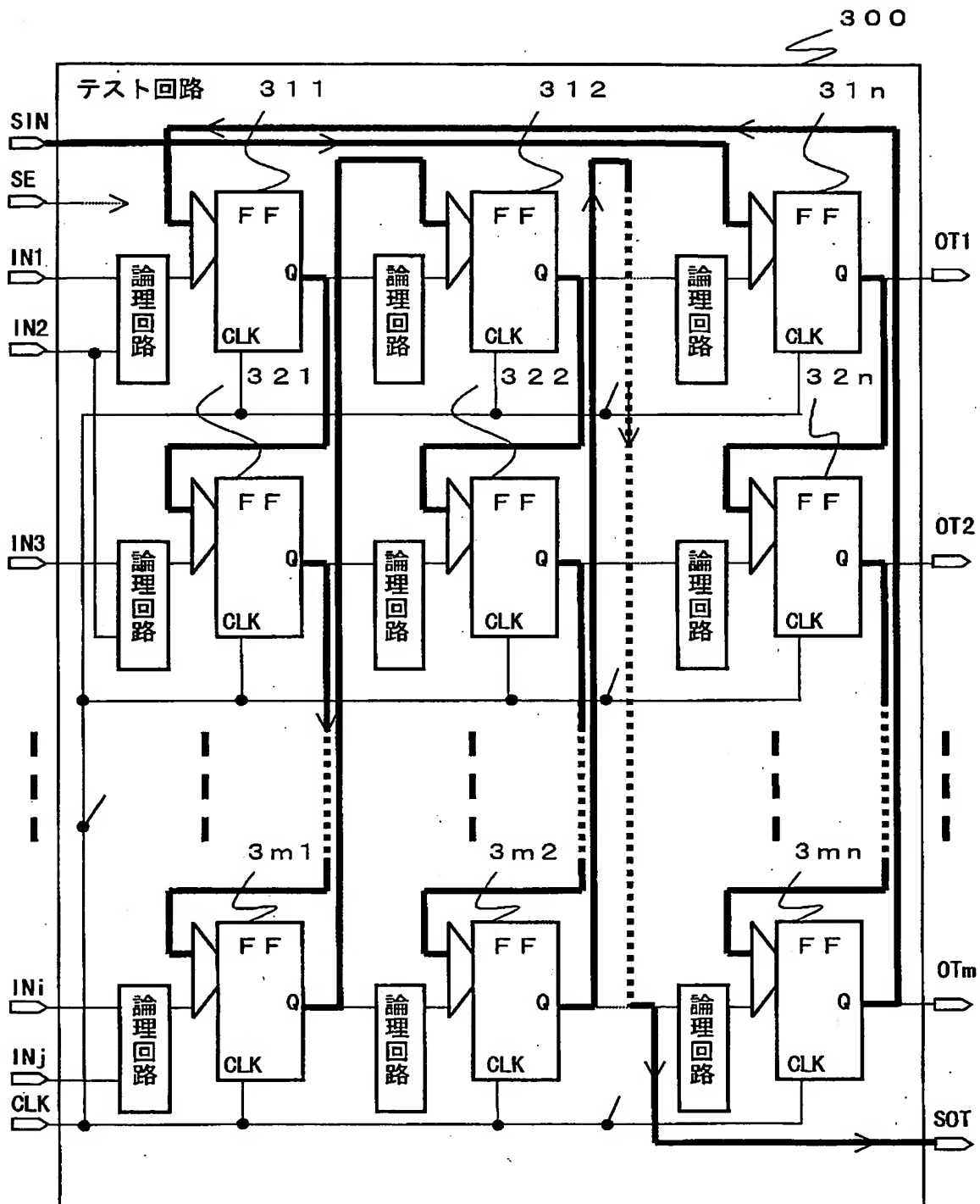
【図 1】



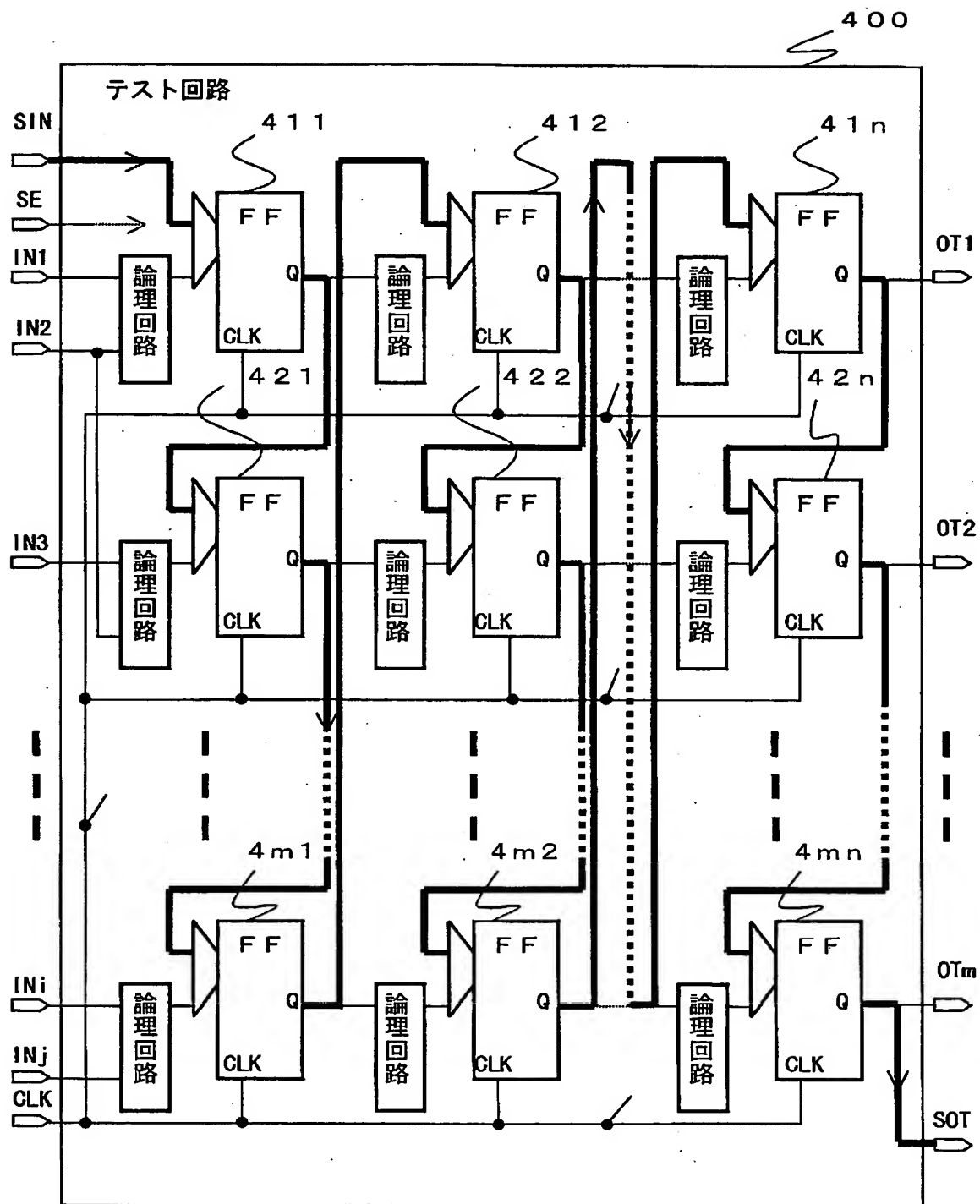
【図 2】



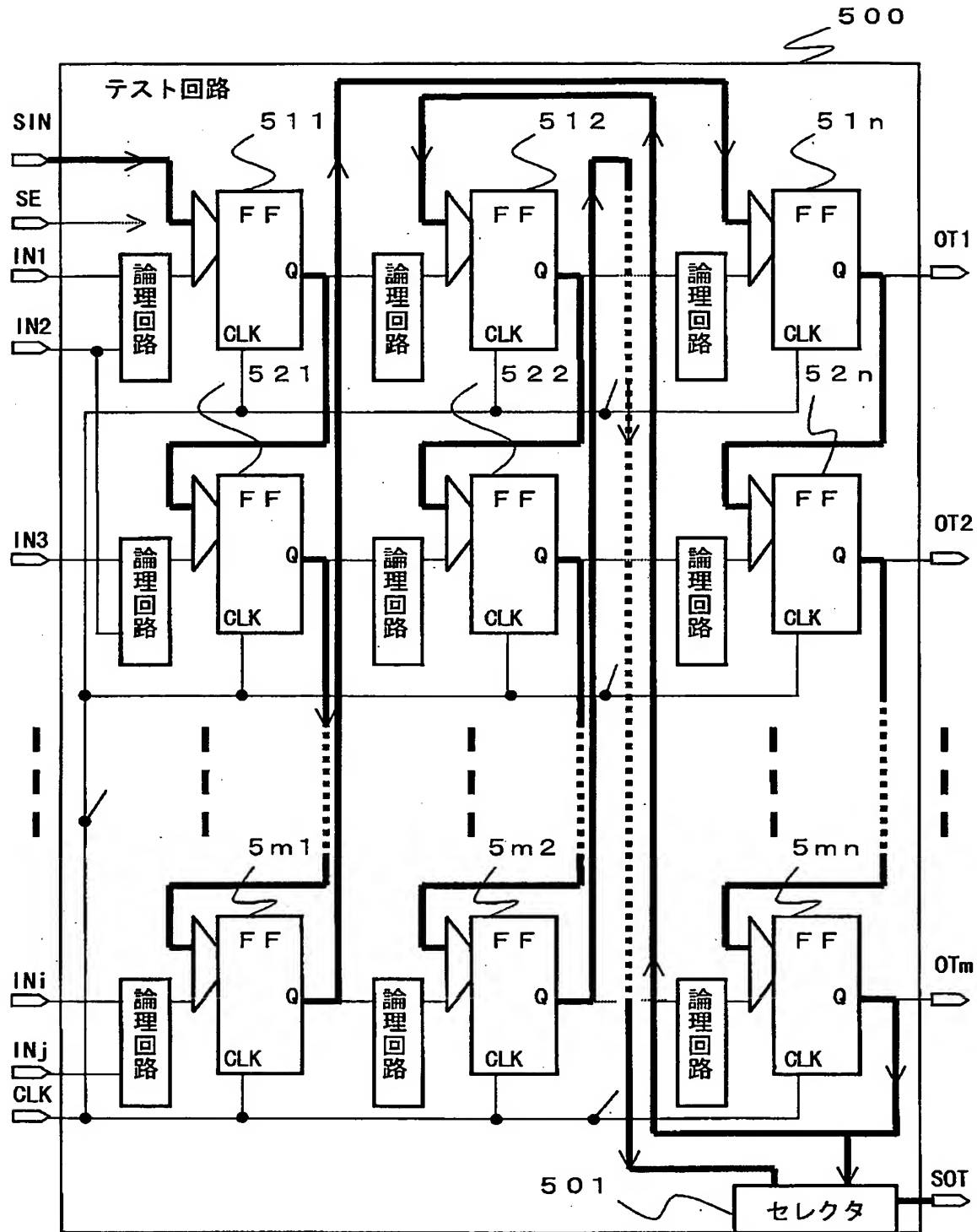
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 入出力端子それぞれの A C 特性を最短時間で測定することができる。

【解決手段】 入力端子側にある最前段から出力端子側にある最後段までの各フリップフロップ群内のスキャンパスは、最先頭 F F 1 1 x から最後尾 F F 1 m x までを順次シリアル接続している。スキャンパスは、スキャン専用入力端子 S I N を最後段の先頭 F F 1 1 n の入力端子に接続し、各フリップフロップ群では、最後段に次いで入力端子側の第 2 段から最後段の前段までを順次シリアル接続する。更に最後段の前段のフリップフロップ群にある最後の F F 1 m ( n - 1 ) (図示されず) は最前段フリップフロップ群とシリアル接続され、最前段フリップフロップ群に含まれる最後尾の F F 1 m 1 の出力端子 Q がスキャン専用出力端子 S O T と接続している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区小杉町1丁目403番53  
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日  
[変更理由] 名称変更  
住 所 神奈川県川崎市中原区小杉町1丁目403番53  
氏 名 エヌイーシーマイクロシステム株式会社